

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-022725

(43)Date of publication of application : 24.01.1995

(51)Int.Cl.

H05K 1/16
H01G 4/33
// H05K 3/46

(21)Application number : 05-150329

(71)Applicant : SHINKO ELECTRIC IND CO LTD

(22)Date of filing : 22.06.1993

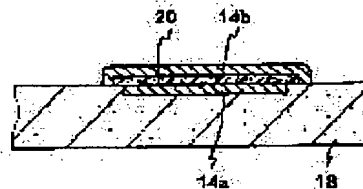
(72)Inventor : TAKEUCHI YUKIHARU

(54) CIRCUIT BOARD WITH THIN-FILM CAPACITOR AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a circuit board with a high reliability without any electrical short-circuiting, disconnection, etc., between the electrodes of a thin-film capacitor.

CONSTITUTION: In a circuit board with a thin-film capacitor where a thin-film capacitor is formed on a substrate 18 with an electrical insulation property of ceramic or resin etc., one electrode 14a of the thin-film capacitor is buried into the substrate 18 and the outer surface of the electrode 14a is formed on a flat surface as the outer surface of the substrate 18, a dielectric thin film 20 is formed on the electrode 14a, and then the other electrode 14b opposing the electrode 14a is deposited and formed on the upper layer of the dielectric thin film 20.



LEGAL STATUS

[Date of request for examination] 23.05.2000

[Date of sending the examiner's decision of rejection] 25.11.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-22725

(43) 公開日 平成7年(1995)1月24日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/16	D	6921-4E		
H 0 1 G 4/33				
// H 0 5 K 3/46	Q	6921-4E 9174-5E	H 0 1 G 4/ 06	1 0 2
審査請求 未請求 請求項の数 3 O L (全 4 頁)				

(21) 出願番号 特願平5-150329

(22) 出願日 平成5年(1993)6月22日

(71) 出願人 000190688

新光電気工業株式会社

長野県長野市大字栗田字舎利田711番地

(72) 発明者 竹内 之治

長野県長野市大字栗田字舎利田711番地

新光電気工業株式会社内

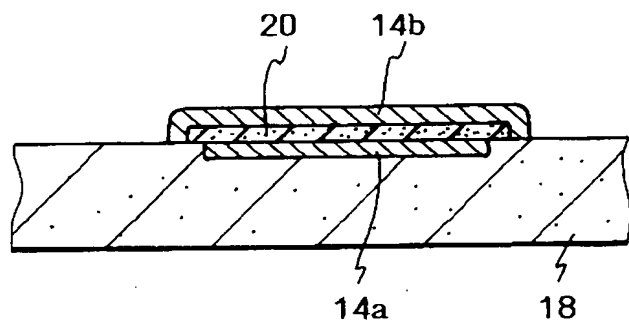
(74) 代理人 弁理士 綿貫 隆夫 (外1名)

(54) 【発明の名称】 薄膜コンデンサ付回路基板及びその製造方法

(57) 【要約】

【目的】 薄膜コンデンサの電極間の電氣的短絡や断線等のない信頼性の高い回路基板を提供する。

【構成】 セラミックあるいは樹脂等の電氣的絶縁性を有する基板18の表面に薄膜コンデンサを形成した薄膜コンデンサ付回路基板において、前記薄膜コンデンサの一方の電極14aが基板18内に埋没されて電極14aの外面が基板18の外面と平坦面に形成され、電極14a上に誘電体薄膜20が形成され、該誘電体薄膜20の上層に前記電極14aに対向する他方の電極14bが被着形成されたことを特徴とする。



【特許請求の範囲】

【請求項 1】 セラミックあるいは樹脂等の電氣的絶縁性を有する基板の表面に薄膜コンデンサを形成した薄膜コンデンサ付回路基板において、前記薄膜コンデンサの一方の電極が基板内に埋没されて該電極の外表面が該基板外面と平坦面に形成され、該一方の電極上に誘電体薄膜が形成され、該誘電体薄膜の上層に前記電極に対向する他方の電極が被着形成されたことを特徴とする薄膜コンデンサ付回路基板。

【請求項 2】 転写フィルムに銅箔を接合し、該銅箔をエッチングして所要の回路及び薄膜コンデンサの一方の電極をパターン形成し、前記転写フィルムのパターン形成した面にプリプレグを被せて加熱、加圧し、該プリプレグを硬化させて基板とした後、前記転写フィルムを該基板から剥離除去し、該基板の外面と平坦面に形成された前記電極の外表面に誘電体薄膜を形成し、該誘電体薄膜の上層に前記電極に対向する他方の電極を形成することを特徴とする薄膜コンデンサ付回路基板の製造方法。

【請求項 3】 セラミックのグリーンシート上にメタライズペーストを用いて薄膜コンデンサの一方の電極を形成して乾燥した後、前記グリーンシートを両面から挟圧して前記メタライズペーストの外表面をグリーンシートの外面と平坦面に形成し、該グリーンシートを焼成した後、前記電極の外表面に誘電体薄膜を形成し、該誘電体薄膜の上層に前記電極に対向する他方の電極を形成することを特徴とする薄膜コンデンサ付回路基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は薄膜コンデンサ付回路基板及びその製造方法に関する。

【0002】

【従来の技術】 セラミックパッケージはパッケージとしての信頼性が高く、マルチチップモジュールに対応でき、コンデンサを内蔵すること等により高周波特性等にも優れたパッケージとして使用されている。これに対し、樹脂モールドパッケージはマルチチップモジュールには不向きでありもっぱら低周波用として使用されてきた。しかしながら、セラミックパッケージは高価であることから、より低コストで製造でき、かつ特性的にも優れたパッケージが求められている。

【0003】 このようなパッケージとして半導体チップを搭載したセラミックあるいは樹脂等の電氣的絶縁性を有する基板をリードフレームに接合した基板付のリードフレームが開発されている。この基板付リードフレームは基板に配線パターンを形成し、この配線パターンにリードフレームのインナーリードを接続するようにしている。これによってマルチチップモジュールとして使用す

ることもできる。

【0004】 また、半導体パッケージでは高速の半導体チップを搭載する場合にはスイッチングノイズの除去のため電源ラインと接地ラインとの間にデカップリングコンデンサを設けることがよく行われるが、上記の基板付リードフレームの場合には基板にコンデンサを作り込むことも容易にでき、パッケージの高速化にも有効に対応することが可能である。

【0005】

【発明が解決しようとする課題】 図 9 は上記のような基板付リードフレームで基板にコンデンサを設ける方法を示す。コンデンサは基板 5 に形成する配線パターンに適宜接続させて形成するが、まず、基板 5 の表面に配線パターンと共にコンデンサの一方の電極 6 を形成し、この電極 6 上に高誘電率を有する誘電体薄膜 7 を形成し、さらに対向電極 8 を形成することによりコンデンサを得る。ここで、誘電体薄膜 7 は大きな電気容量を得ようとすると薄厚にせざるを得ず、通常は数 μm 程度の薄膜で形成する。

【0006】 このように誘電体薄膜 7 を非常に薄厚で形成する場合には誘電体薄膜 7 を挟む電極 6、8 がきわめて接近していることから電極 6、8 間で電氣的短絡が生じたり、誘電体薄膜 7 や電極が不連続になって断線することが生じる。これは、基板 5 の表面に電極 6 を形成する場合に、セラミック基板では金属ペーストを塗布して形成するし、樹脂基板などでは表面に被覆した銅箔等をエッチングして形成するから、基板 5 の表面から電極 6 が盛り上がるようになるため、電極 6 のエッジ部等で誘電体薄膜 7 がつながらず、不連続となったりするためである。

【0007】 本発明はこれら問題点を鑑みてなされたものであり、その目的とするところは、薄膜コンデンサを有する回路基板において、電極間の電氣的短絡や断線を生じさせずに作り込むことができ、信頼性の高い製品として形成できる薄膜コンデンサ付回路基板及びその製造方法を提供しようとするものである。

【0008】

【課題を解決するための手段】 本発明は上記目的を達成するため次の構成を備える。すなわち、セラミックあるいは樹脂等の電氣的絶縁性を有する基板の表面に薄膜コンデンサを形成した薄膜コンデンサ付回路基板において、前記薄膜コンデンサの一方の電極が基板内に埋没されて該電極の外表面が該基板外面と平坦面に形成され、該一方の電極上に誘電体薄膜が形成され、該誘電体薄膜の上層に前記電極に対向する他方の電極が被着形成されたことを特徴とする。また、転写フィルムに銅箔を接合し、該銅箔をエッチングして所要の回路及び薄膜コンデンサの一方の電極をパターン形成し、前記転写フィルムのパターン形成した面にプリプレグを被せて加熱、加圧し、該プリプレグを硬化させて基板とした後、前記転写

10

20

30

40

50

フィルムを該基板から剥離除去し、該基板の外面と平坦面に形成された前記電極の外面上に誘電体薄膜を形成し、該誘電体薄膜の上層に前記電極に対向する他方の電極を形成することを特徴とする。また、セラミックのグリーンシート上にメタライズペーストを用いて薄膜コンデンサの一方の電極を形成して乾燥した後、前記グリーンシートを両面から挟圧して前記メタライズペーストの外面をグリーンシートの外面と平坦面に形成し、該グリーンシートを焼成した後、前記電極の外面上に誘電体薄膜を形成し、該誘電体薄膜の上層に前記電極に対向する他方の電極を形成することを特徴とする。

【0009】

【作用】セラミック基板あるいは樹脂基板等の基板表面に薄膜コンデンサを形成する際に、コンデンサの一方の電極の外面が基板の外面と同一の平坦面になるようにすることによって、電極の外面にコンデンサの誘電体部となる誘電体薄膜を薄厚で形成しても断線したりすることがなく、確実に薄膜形成することが可能になる。また、電極間においても電氣的短絡が生じたり断線したりすることがなくなり、信頼性の高い回路基板を提供することが可能になる。

【0010】

【実施例】以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。図1～5は本発明に係る薄膜コンデンサ付回路基板の製造方法の一実施例を示す。薄膜コンデンサ付回路基板は薄膜コンデンサを回路部品として回路内に組み込むものであるが、本実施例は転写法を利用して薄膜コンデンサを形成することを特徴とする。

【0011】すなわち、まず、離型剤をコーティングした転写フィルム10に銅箔12を貼り合わせたものを用意し(図1)、銅箔12をエッチングして所定の回路パターンを形成する。実施例では転写フィルム10として離型剤をコートした100 μm 厚のポリエステルフィルムを使用し、銅箔12として35 μm 厚のものを使用した。銅箔12をエッチングして回路パターンを形成する場合は、銅箔12上にレジストパターンを形成し銅箔12をエッチングすればよい。薄膜コンデンサの一方の電極はこの回路パターンを形成する際に同時にパターン形成する。図2は銅箔12をエッチングして薄膜コンデンサの一方の電極14aを形成した様子を示す。

【0012】次いで、電極14aの表面に粗化処理を施し、電極14aの露出面側に回路基板の基体となるプリプレグ16を配置し、加熱および加圧してプリプレグ16内に電極14aを埋没させるとともにプリプレグ16を硬化させる。図3は電極14aを形成した転写フィルム10にプリプレグ16を重ね合わせて配置した状態である。実施例ではプリプレグ16としてガラス繊維とエポキシ樹脂からなる製品を使用した。

【0013】プリプレグ16を硬化させて基板18とした後、プリプレグ16から転写フィルム10を剥離す

る。転写フィルム10を剥離することによって電極14aが基板18(硬化したプリプレグ16のこと)側に残る。図4は転写フィルム10を剥離した後の状態で、電極14aと基板18の上面が同一高さ面となって形成されることを示す。前工程で電極14aに粗化処理を施したのはプリプレグ16と電極14aとのくい付きを良好にするためである。また、電極14aとともに形成した回路パターンもすべて基板18側に転写される。

【0014】電極14aは薄膜コンデンサの一方の電極となるもので、この電極14a上に誘電体薄膜20を被着形成し、さらにその上に電極14bを形成する(図5)。電極14a、14bおよび誘電体薄膜20によって薄膜コンデンサが形成される。実施例では誘電体薄膜20としてSiO₂(シリカ)膜を設け、電極14bとしてアルミニウム膜を形成した。本実施例では図4に示すように電極14aと基板10の上面とが完全に平坦面となるから電極14a上に誘電体薄膜20を形成する場合に、薄膜部分に段差が生じたりすることがなく、平坦膜が形成されるから、誘電体薄膜20が不連続になったりすることを効果的に防止することができる。

【0015】また、誘電体薄膜20を形成する際に電極14aの面積よりも被着範囲を広くしておけば電極14bと電極14aとが電氣的に短絡することが完全に防止できることから有効である。また、電極14a、14bの電氣的短絡を確実に防止できることから、薄膜コンデンサを形成する際に誘電体薄膜の膜厚を薄く形成することが可能になり、これによって大きな電気容量を有する薄膜コンデンサを得ることが可能になる。

【0016】図6～8は薄膜コンデンサ付回路基板の製造方法の他の実施例を示す。この実施例では回路基板としてセラミック基板を使用し、セラミック基板にメタライズを施して薄膜コンデンサの一方の電極を形成した。図6はアルミナのグリーンシート30を形成し、グリーンシート30上に薄膜コンデンサの一方の電極とするメタライズペースト32を形成した状態を示す。実施例ではグリーンシート30の厚さを0.8mmとし、メタライズペースト32を厚さ25 μm で印刷して設けた。メタライズペースト32としてはタングステンペーストを用いた。

【0017】グリーンシート30およびメタライズペースト32が乾燥した後、60℃に加温しながら鉄板でグリーンシート30の両面を強く加圧して図7に示すようにグリーンシート30内にメタライズペースト32を押し込み、メタライズペースト32とグリーンシート30の上面が平坦面になるようにした。その後、1500℃の電気炉中で48時間焼成し、回路パターンを形成したセラミック基板34を得るとともに、メタライズペースト32の焼成による薄膜コンデンサの電極36aを得た。

【0018】電極36a上にコンデンサ用の誘電体薄膜38を被着形成し、さらに電極36bを形成して薄膜コ

ンデンサを形成した。誘電体薄膜 38 と電極 36 b はスパッタリング法等の成膜法によって形成する。本実施例の製造方法の場合も、セラミック基板 34 の上面に形成する薄膜コンデンサの電極 36 a をセラミック基板 34 に対して平坦面に形成することによって誘電体薄膜 38 やその上層の電極 36 b を断線させたりすることなく確実に形成することができ、信頼性の高い回路基板として提供することができる。

【0019】なお、上記実施例において説明した回路基板は基板付リードフレームの基板として使用できることはもちろんのこと、各種の回路基板に適用できるものであり、薄膜コンデンサを作り込んだ回路基板の製造方法として好適に利用することが可能である。

【0020】

【発明の効果】本発明に係る薄膜コンデンサ付回路基板及びその製造方法によれば、上述したように、薄膜コンデンサの電極間の電氣的短絡や断線等のない信頼性の高い回路基板として提供することができる等の著効を奏する。

【図面の簡単な説明】

【図 1】転写フィルムに銅箔を接着した状態の説明図である。

【図 2】回路パターンを形成した状態の説明図である。

【図 3】プリプレグを加熱、加圧する状態を示す説明図*

*である。

【図 4】転写フィルムを剥離した状態の説明図である。

【図 5】基板上に薄膜コンデンサを形成した状態の説明図である。

【図 6】グリーンシートにメタライズペーストを印刷した状態の説明図である。

【図 7】グリーンシートに対しメタライズペーストを平坦化した状態の説明図である。

【図 8】セラミック基板上に薄膜コンデンサを形成した状態の説明図である。

【図 9】基板上に薄膜コンデンサを形成した従来例の構成を示す説明図である。

【符号の説明】

10 転写フィルム

12 銅箔

14 a、14 b 電極

16 プリプレグ

18 基板

20 誘電体薄膜

20 30 グリーンシート

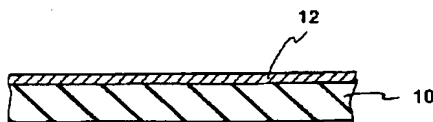
32 メタライズペースト

34 セラミック基板

36 a、36 b 電極

38 誘電体薄膜

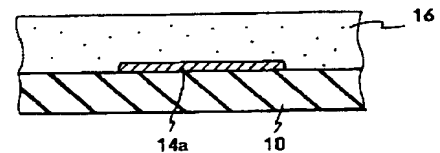
【図 1】



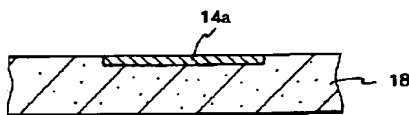
【図 2】



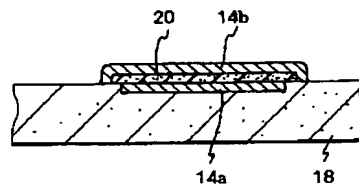
【図 3】



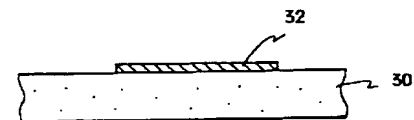
【図 4】



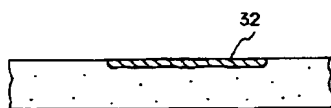
【図 5】



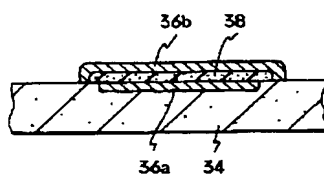
【図 6】



【図 7】



【図 8】



【図 9】

